

SEMICONDUCTOR DEVICE AND ITS MANUFACTURE**Publication Number: 05-267643 (JP 5267643 A) , October 15, 1993****Inventors:**

- MURAOKA TORU

Applicants

- FUJITSU LTD (A Japanese Company or Corporation), JP (Japan)

Application Number: 04-064194 (JP 9264194) , March 19, 1992**International Class (IPC Edition 5):**

- H01L-029/46
- H01L-021/3205

JAPIO Class:

- 42.2 (ELECTRONICS--- Solid State Components)

Abstract:

PURPOSE: To improve the electromigration resistance of the A of a wiring layer by growing the A so that its grain size can become larger.

CONSTITUTION: An insulating film 4 composed of an silicon oxide film is formed on a silicon substrate 2 and a contact hole is formed by opening the insulating film 4 on an impurity diffusion layer 6 formed on the surface of the substrate 2. A barrier metal layer 8 of an oxide conductor, for instance, ZnO is formed on the layer 4, on the internal wall of the contact hole formed through the film 4, and on the layer 6 exposed at the bottom of the contact hole. Then a wiring layer 10 composed mainly of A is formed on the layer 8. (From: *Patent Abstracts of Japan*, Section: E, Section No. 1494, Vol. 18, No. 35, Pg. 87, January 19, 1994)

JAPIO

© 2001 Japan Patent Information Organization. All rights reserved.

Dialog® File Number 347 Accession Number 4275943

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-267643

(43)公開日 平成5年(1993)10月15日

(51)Int.Cl. H 01 L 29/46 21/3205 29/46	識別記号 Z 7738-4M L 7738-4M 7735-4M	序内整理番号 P 1 H 01 L 21/88	技術表示箇所 N
---	---	-------------------------------	-------------

審査請求 未請求 請求項の数5(全5頁)

(21)出願番号 特願平4-64194	(71)出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地
(22)出願日 平成4年(1992)3月19日	(72)発明者 村岡 徹 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

(74)代理人 井理士 北野 好人

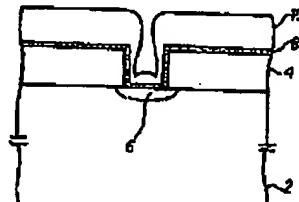
(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【目的】本発明は、シリコン基板及び絶縁膜上にA1を主として含有する配線層を形成した半導体装置及びその製造方法に関し、配線層のA1のグレインサイズを大きく成長させて、A1のエレクトロマイグレーション耐性を向上させた半導体装置及びその製造方法を提供することを目的とする。

【構成】シリコン基板2上にシリコン酸化膜の絶縁膜4が形成されている。シリコン基板2に形成された不純物拡散層6上の絶縁膜4を開口してコンタクトホールが形成されている。絶縁膜4上及び絶縁膜4のコンタクトホール内壁、及びコンタクトホール底部に露出した不純物拡散層6上に、酸化物導電体の例えばZnOのパリアメタル層8が形成されている。パリアメタル層8上にA1を主として含有する配線層10が形成されているように構成する。

特開平5-267643



1...配線層
2...基板
3...不純物拡散層
4...パラジウム層
5...絶縁層

【特許請求の範囲】

【請求項1】 シリコン基板と、前記シリコン基板上に形成されコンタクトホールが開口された絶縁膜と、前記コンタクトホール内の前記S1基板表面に形成されたパリアメタル層と、前記パリアメタル層上から前記絶縁膜上に延在するように形成されたA1を主として含有する配線層とを有する半導体装置において、

前記パリアメタル層の材質は酸化物導電体であることを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、前記酸化物導電体はZnOであることを特徴とする半導体装置。

【請求項3】 請求項1又は2記載の半導体装置において、前記絶縁膜と前記配線層との間に高融点金属を含むマイグレーション補強層が形成されていることを特徴とする半導体装置。

【請求項4】 請求項3記載の半導体装置において、前記マイグレーション補強層を前記コンタクトホールの内壁及び底部には形成しないようにしたことを特徴とする半導体装置。

【請求項5】 シリコン基板上に絶縁膜を形成し、前記絶縁膜を開口してコンタクトホールを形成し、前記絶縁膜上及び前記コンタクトホール内にパリアメタル層を形成し、前記パリアメタル層上にスパッタ法によりA1を主として含有する配線層を形成する半導体装置の製造方法において、

前記パリアメタル層の材質に酸化物導電体を用いることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、シリコン基板及び絶縁膜上にA1を主として含有する配線層を形成した半導体装置及びその製造方法に関する。

【0002】

【従来の技術】 近年、半導体装置の微細化に伴い、メモリ、ロジックを問わず、半導体装置に形成されるA1を主として含有する配線層のバルクコンタクト時の膜質の改善、及びエレクトロマイグレーション耐性の改善が要求されている。従来より、シリコンと良好にオーミック接合するA1(アルミニウム)が半導体装置の配線材料として用いられている。しかし、A1とシリコンの界面では、シリコンがA1側に拡散する現象が生じる。このときのシリコン層が不均一であるとA1スパイクが生じ、スパイクが不純物拡散層を突き抜けると接合が短絡される場合もある。そこで、A1の突き抜けと、シリコンのA1への析出を防止するために、A1層とシリコン層との間にA1やシリコンの移動を阻止するパリアメタル層を挟む構造が採用された。

【0003】 従来の半導体装置の製造方法を図2を用い

て説明する。シリコン基板2上にシリコン酸化膜の絶縁膜4を形成し、絶縁膜4を開口してコンタクトホールを形成する。絶縁膜4上と、絶縁膜4のコンタクトホール内壁及び底部に露出した不純物拡散層6に空化物であるTiNのパリアメタル層8を形成する。パリアメタル層8上にスパッタ法によりA1を主として含有する配線層10を形成する。パリアメタル層8により配線層10と絶縁膜4とが接触することがないので、A1とシリコンとが反応することがない。

【0004】

【発明が解決しようとする課題】 上記従来の半導体装置の製造方法に示すように、パリアメタル層8の材質としてTiNがよく用いられる。しかし、TiN膜のパリアメタル層8は、膜中に空素を含んでいるが、この空素が存在するとパリアメタル層8と接触するA1を主として含有する配線層のA1のグレインサイズ(結晶粒の大きさ)を大きく成長させることができない。

【0005】 ところで、A1を主として含有する配線層の配線抵抗の増大、及び新規などA1を主として含有する配線層の信頼性に関係する要因として、エレクトロマイグレーション耐性の問題があるが、このエレクトロマイグレーション耐性は、温度勾配、電流密度、配線幅等と共に、A1のグレインサイズの大きさに依存することが知られている。

【0006】 従って、上述のようにパリアメタル層8にTiN膜を用いと、A1のグレインサイズが小さくなってしまい、A1を主として含有する配線層のエレクトロマイグレーション耐性が劣化してしまうという問題がある。本発明の目的は、配線層のA1のグレインサイズを大きく成長させて、A1のエレクトロマイグレーション耐性を向上させた半導体装置及びその製造方法を提供することにある。

【0007】

【課題を解決するための手段】 上記目的は、シリコン基板と、前記シリコン基板上に形成されコンタクトホールが開口された絶縁膜と、前記コンタクトホール内の前記S1基板表面に形成されたパリアメタル層と、前記パリアメタル層上から前記絶縁膜上に延在するように形成されたA1を主として含有する配線層とを有する半導体装置において、前記パリアメタル層の材質は酸化物導電体であることを特徴とする半導体装置によって達成される。

【0008】 また、上記目的は、シリコン基板上に絶縁膜を形成し、前記絶縁膜を開口してコンタクトホールを形成し、前記絶縁膜上及び前記コンタクトホール内にパリアメタル層を形成し、前記パリアメタル層上にスパッタ法によりA1を主として含有する配線層を形成する半導体装置の製造方法において、前記パリアメタル層の材質に酸化物導電体を用いることを特徴とする半導体装置の製造方法によって達成される。

【0009】

【作用】本発明によれば、パリアメタル層に酸化物導電体を用いるので、配線層のA1のグレインサイズを大きく成長させることができ、A1のエレクトロマイグレーション耐性を向上させることができる。

【0010】

【実施例】本発明の第1の実施例による半導体装置を図1を用いて説明する。シリコン基板2上にシリコン酸化膜の絶縁膜4が形成されている。シリコン基板2に形成された不純物拡散層6上の絶縁膜4を開口してコンタクトホールが形成されている。絶縁膜4上及び絶縁膜4のコンタクトホール内壁、及びコンタクトホール底部に露出した不純物拡散層6上に、酸化物導電体の例えばZnOのパリアメタル層8が形成されている。パリアメタル層8上にA1を主として含有する配線層10が形成されている。

【0011】本実施例による半導体装置は、配線層10の下層のパリアメタル層8が例えばZnOで形成され、材質中に空素を含まないので、バルクコンタクト時にA1のグレインサイズを大きく成長させることができた配線層10が形成されている。従って、本実施例によれば、A1配線層のエレクトロマイグレーション耐性を向上させた半導体装置を実現することができる。

【0012】次に、本発明の第1の実施例による半導体装置の製造方法について説明する。まず、シリコン基板2上にシリコン酸化膜の絶縁膜4を形成し、絶縁膜4を開口してコンタクトホールを形成する。絶縁膜4上及び絶縁膜4のコンタクトホール内壁、及びコンタクトホール底部に露出した不純物拡散層6上に、酸化物導電体の例えばZnOのパリアメタル層8を形成する。次に、パリアメタル層8上にスパッタ法を用いてA1を主として含有する配線層10を形成する。

【0013】このように、本実施例による半導体装置の製造方法によれば、パリアメタル層に空素が含まれないため、パリアメタル層上に形成するA1を主として含有する配線層が空素による影響を受けず、グレインサイズが大きく成長したA1を主として含有する配線層を得ることができる。従って、エレクトロマイグレーション耐性に優れ、信頼性の向上した配線層を形成することができる。

【0014】本発明の第2の実施例による半導体装置を図2を用いて説明する。シリコン基板2上にシリコン酸化膜の絶縁膜4が形成されている。シリコン基板2に形成された不純物拡散層6上の絶縁膜4を開口してコンタクトホールが形成されている。絶縁膜4上及び絶縁膜4のコンタクトホール内壁、及びコンタクトホール底部に露出した不純物拡散層6上に、酸化物導電体の例えばZnOのパリアメタル層8が形成されている。コンタクトホール以外のパリアメタル層8上に高融点金属ナイトライド層12が形成されている。高融点金属ナイトライ

層12上及びコンタクトホール内のパリアメタル層8上にA1を主として含有する配線層10が形成されている。

【0015】本実施例による半導体装置は、A1を主として含有する配線層10の下層に高融点金属ナイトライド層12を形成することにより、その下層のパリアメタル層8のZnOだけでは完全でない、ストレスマイグレーションやエレクトロマイグレーションの耐性を向上させたものである。ただし、コンタクトホール内は、高抵抗化させないように配線層10下部にはZnOのパリアメタル層8のみが存在するようしている。

【0016】次に、本発明の第2の実施例による半導体装置の製造方法について説明する。まず、シリコン基板2上にシリコン酸化膜の絶縁膜4を形成し、絶縁膜4を開口してコンタクトホールを形成する。絶縁膜4上及び絶縁膜4のコンタクトホール内壁、及びコンタクトホール底部に露出した不純物拡散層6上に、酸化物導電体の例えばZnOのパリアメタル層8を形成する。

【0017】次に、コンタクトホールを埋め込むようにして全面にレジストを塗布し、レジストをアッショングして、コンタクトホール内にのみレジストが残るようにする。このレジストをマスクとして全面に高融点金属ナイトライド層を形成する。次に、コンタクトホール内のレジストを除去して、コンタクトホール上の高融点金属ナイトライド層をリフトオフする。こうして、コンタクトホール以外のパリアメタル層8上に高融点金属ナイトライド層12を形成する。

【0018】次に、高融点金属ナイトライド層12上及びコンタクトホール内のパリアメタル層8上にスパッタ法を用いてA1を主として含有する配線層10を形成する。このように、本実施例による半導体装置の製造方法によれば、第1の実施例と同様にパリアメタル層8に空素が含まれないため、パリアメタル層8上に形成するA1を主として含有する配線層10が空素による影響を受けず、グレインサイズが大きく成長した配線層10を得ることができる。さらに、A1を主として含有する配線層10の下層に高融点金属ナイトライド層12を形成することにより、その下層のパリアメタル層8のZnOだけではなく、ストレスマイグレーションやエレクトロマイグレーションの耐性をより向上させることができる。

【0019】本発明は、上記実施例に限らず種々の変形が可能である。例えば、上記実施例においては、パリアメタル層の酸化物導電体には、導電性や形成の容易性等からZnOを選んで用いたが、他の材料、例えば、導電性セラミックスであるSiO₂、或いはZnO-Bi₂O₃等を用いてもよい。また、上記実施例においては、絶縁膜4としてSi酸化膜を用いたが、SiN等他の絶縁膜を用いてもよい。

【0020】またさらに、上記実施例においては、マイ

5

グレーチョン耐性を向上させるために高融点金属ナイトライド層12を形成したが、この層の材質は他のもの、例えば高融点金属、チタンタングステン、又は高融点金属シリサイド等でもよい。

【0021】

【発明の効果】以上の通り、本発明によれば、パリアメタル層に酸化物導電体を用いるので、配線層のA1のグレインサイズを成長し易くして、A1のエレクトロマイグレーション耐性を向上させることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例による半導体装置を示す

図である。

【図2】本発明の第2の実施例による半導体装置を示す図である。

【図3】従来の半導体装置の製造方法を示す図である。

【符号の説明】

2…半導体基板

4…絶縁膜

6…不純物拡散層

8…パリアメタル層

10…配線層

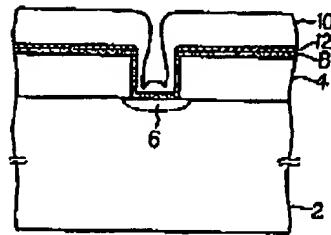
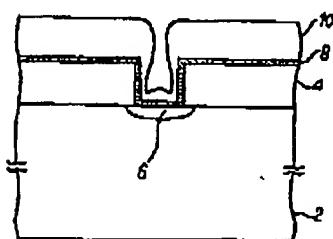
12…高融点金属ナイトライド層

【図1】

本発明の第1の実施例による半導体装置を示す図

【図2】

本発明の第2の実施例による半導体装置を示す図



2…半導体基板
4…絶縁膜
6…不純物拡散層
8…パリアメタル層
10…配線層
12…高融点金属ナイトライド層

【図3】

在ホルダー付樹脂の成型方法示す図

